



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 103 03 463.3

Anmeldetag: 29. Januar 2003

Anmelder/Inhaber: Infineon Technologies AG, 81669 München/DE

Bezeichnung: Halbleiterbauelement mit wenigstens zwei in einem Gehäuse integrierten und durch einen gemeinsamen Kontaktbügel kontaktierten Chips

IPC: H 01 L 23/48

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 9. Januar 2004
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Wallner

Halbleiterbauelement mit wenigstens zwei in einem Gehäuse integrierten und durch einen gemeinsamen Kontaktbügel kontaktierten Chips

- 5 Die vorliegende Erfindung betrifft ein Halbleiterbauelement mit wenigstens zwei in einem Gehäuse integrierten Halbleiterchips.

10 Die EP 0 827 201 A2 beschreibt ein derartiges Bauelement, bei dem drei Chips in einem Gehäuse integriert sind, wobei zwei der Chips beabstandet zueinander auf Kontaktflächen des weiteren Chips, der auf einem Träger sitzt, angeordnet sind. Kontaktanschlüsse der drei Chips sind dabei mittels Bonddrähten an Anschlussbeine gebondet, die aus dem Gehäuse heraus
15 ragen. Die Anschlussbeine sind nach unten gebogen und reichen bis unterhalb des Gehäuses, um das Bauelement auf einer Platine montieren zu können.


20 Die US 6,040,626 und die US 2001/0044167 beschreiben Halbleiterbauelemente mit je einem in einem Gehäuse integrierten Halbleiterchip, wobei Kontaktflächen dieses Chip mittels sogenannter Kontaktbügel an aus dem Gehäuse heraus ragende Anschlussbeine angeschlossen sind.


30 Die EP 0 962 975 A2 und die JP 2000082721 A beschreiben ebenfalls Halbleiterbauelemente mit je einem in einem Gehäuse integrierten Halbleiterchip, dessen Kontaktflächen mittels Kontaktbügeln kontaktiert sind, wobei die Kontaktbügel aus dem Gehäuse heraus ragen und gleichzeitig als Anschlussbeine dienen.

35 Die Kontaktierung von Chip-Anschlüssen mittels Bonddrähten, die andernends an Anschlussbeine des Gehäuses angeschlossen sind, ist platzaufwendig, da oberhalb des Chips eine gewisse Gehäusehöhe für die bogenförmig verlaufenden Bonddrähte erforderlich ist, was dazu führt, dass ein nicht unerheblicher

Teil des Gehäusevolumens außer für die Bonddrähte weitgehend ungenutzt bleibt.

5 Ziel der vorliegenden Erfindung ist es, ein Halbleiterbauelement mit wenigstens zwei in einem Gehäuse integrierten Halbleiterchips zur Verfügung zu stellen, bei dem ein zur Verfügung stehendes Gehäusevolumen besser genutzt wird, so dass entweder eine kompaktere Bauweise erreicht oder bei einem gegebenen Gehäusevolumen ein Bauelement mit größerer Chipfläche
10 realisierbar ist.

 Dieses Ziel wird durch ein Bauelement gemäß der Merkmale des Anspruchs 1 gelöst. Vorteilhafte Ausgestaltungen der Erfindung sind Gegenstand der Unteransprüche.

15 Das erfindungsgemäße Halbleiterbauelement umfasst ein Gehäuse, wenigstens zwei in dem Gehäuse angeordnete Halbleiterchips, die jeweils eine Vorderseite und eine Rückseite sowie jeweils wenigstens eine Kontaktfläche an der Vorder- und/oder
20 Rückseite aufweisen. Das Bauelement umfasst weiterhin wenigstens einen Kontaktbügel der aus dem Gehäuse heraus ragt und der einen plattenförmigen Abschnitt mit einer ersten und einer zweiten Anschlussfläche, die sich gegenüberliegen, und wenigstens ein außerhalb des Gehäuses liegendes Anschlussbein
 25 aufweist. Der plattenförmige Abschnitt des wenigstens einen Kontaktbügels dient zur Herstellung eines elektrisch leitenden Kontakts zu den Kontaktflächen der Chips, wobei vorgesehen ist, dass die erste Anschlussfläche des Kontaktbügels auf die Kontaktfläche wenigstens eines der Chips und dessen zwei-
30 te Anschlussfläche auf die Kontaktfläche wenigstens eines anderen der Chips aufgebracht ist. Hierdurch werden beide Seiten des plattenförmigen Kontaktabschnitts des Kontaktbügels für die Kontaktierung von Halbleiterchips genutzt, wobei die jeweiligen Kontakte der Halbleiterchips durch den Kontaktbügel miteinander verbunden sind und der Kontaktbügel über sein
35 Anschlussbein gleichzeitig einen von außerhalb des Gehäuses zugänglichen Anschluss für die beiden Chips bildet.

Die Verwendung eines Kontaktbügels, der beiderseits Halbleiterchips kontaktiert und einen externen Anschluss für die beiden kontaktierten Halbleiterchips bildet, ermöglicht eine besonders kompakte Bauform des Halbleiterbauelements mit den wenigstens zwei Halbleiterchips.

Eine besonders gute Raumausnutzung eines gegebenen Gehäusevolumens lässt sich erreichen, wenn mehrere Halbleiterchips in dem Gehäuse integriert werden, die um 90° gegenüber der üblichen Montagerichtung von Halbleiterchips in Gehäusen gedreht sind. Herkömmliche Gehäuse für Halbleiterbauelemente, beispielsweise Gehäuse des Typs P-DSO, sind flach und weisen eine Oberseite und eine Unterseite auf, deren Flächen groß im Vergleich zu den übrigen Seitenflächen sind. In derartigen Gehäusen werden Halbleiterchips bislang so montiert, dass die Vorder- bzw. Rückseiten der Chips in etwa parallel zu der Ober- und Unterseite des Gehäuses liegen.

Erfindungsgemäß ist nun vorgesehen, die Halbleiterchips so in dem Gehäuse zu integrieren, dass deren Vorder- bzw. Rückseiten in etwa senkrecht zu der Ober- und Unterseite des Gehäuses verlaufen. Dies ermöglicht die Integration von mehreren Halbleiterchips, deren Fläche kleiner ist als die Querschnittsfläche des Gehäuses, in einem Gehäuse bei sehr guter Raumausnutzung.

Dieses Vorgehen, mehrere Chips senkrecht zur Ober- bzw. Unterseite des Gehäuses in dem Gehäuse unterzubringen und jeweils zwei Chips mit einem gemeinsamen Kontaktbügel zu kontaktieren, ist insbesondere für Leistungsbaulemente in SiC-Technologie interessant. Bei Wafern in SiC-Technologie, aus denen die späteren Bauelemente ausgesägt werden, ist die Defektdichte im Vergleich zu Wafern in Si-Technologie derzeit noch sehr hoch, so dass bei einer vertretbaren Ausbeute nur flächenmäßig kleine Chips hergestellt werden können. Mit zunehmender Chipgröße würde der Ausschuss pro Wafer erheblich

ansteigen. Gemäß der Erfindung können nun mehrere flächenmäßig kleine Chips, beispielsweise Dioden oder Transistoren, in dem Gehäuse bei optimaler Raumausnutzung integriert und über die Kontaktbügel und eine externe Verschaltung der Anschlussbeine der Kontaktbügel parallel geschaltet werden, um dadurch insgesamt ein Bauelement mit einer großen Chipfläche zu erhalten.

Bei einer Ausführungsform ist vorgesehen, dass der wenigstens eine Kontaktbügel an einer sich an die Unterseite zur Seite hin anschließenden Seite aus dem Gehäuse heraustritt und einen gebogenen Abschnitt aufweist, der unterhalb der Unterseite den Anschlusskontakt des Anschlussbeins bildet, um mittels dieses Anschlussbeins beispielsweise auf einer Platine montiert zu werden.

Bei einer weiteren Ausführungsform ist vorgesehen, dass der wenigstens eine Kontaktbügel an der Unterseite aus dem Gehäuse heraustritt, um ein Anschlussbein zu bilden.

Vorzugsweise sind Leistungstransistoren in den wenigstens zwei Chips integriert, wobei die Chips jeweils drei Kontaktflächen: eine Gate-Kontaktfläche, eine Source-Kontaktfläche und eine Drain-Kontaktfläche aufweisen, wobei die Gate-Kontaktflächen und die Source-Kontaktflächen beispielsweise jeweils an den Vorderseiten und die Drain-Kontaktflächen jeweils an den Rückseiten der Halbleiterchips angeordnet sind.

Abhängig vom Anwendungszweck können die beiden Halbleiterchips, die durch einen Kontaktbügel kontaktiert und miteinander verbunden sind, so angeordnet sein, dass der Kontaktbügel die Rückseiten der beiden Chips kontaktiert, um bei Transistoren beispielsweise deren Drain-Anschlüsse zu kontaktieren und miteinander zu verbinden, dass der Kontaktbügel die Vorderseiten der beiden Chips kontaktiert, um bei Transistoren beispielsweise deren Source-Anschlüsse oder Gate-Anschlüsse zu kontaktieren, oder dass der Kontaktbügel die Vorderseite

des einen Chips und die Rückseite des anderen Chips kontaktiert, um bei Transistoren beispielsweise den Source-Anschluss des einen Chips mit dem Drain-Anschluss des anderen Chips zu verbinden. In entsprechender Weise lassen sich bei
5 Dioden-Chips Reihenschaltungen oder Parallelschaltungen von Dioden herstellen.

Die vorliegende Erfindung wird nachfolgend anhand von zwei Ausführungsbeispielen in Figuren näher erläutert. In den Fi-
10 guren zeigt:

- Figur 1 ein Halbleiterbauelement mit mehreren in einem Gehäuse integrierten Halbleiterchips in Draufsicht,
- 15 Figur 2 einen Querschnitt durch das Bauelement gemäß Figur 1 in einer Schnittebene A-A,
- Figur 3 einen Querschnitt durch das Halbleiterbauelement gemäß Figur 1 in einer Schnittebene B-B,
- 20 Figur 4 eine perspektivische Darstellung des Bauelementes gemäß Figur 1 mit geschlossen dargestelltem Gehäuse,
- 25 Figur 5 ein elektrisches Ersatzschaltbild des Bauelements gemäß der Figuren 1 bis 4 bei Verwendung von Transistorchips,
- Figur 6 eine perspektivische Darstellung eines weiteren
30 Ausführungsbeispiels eines erfindungsgemäßen Halbleiterbauelements,
- Figur 7 eine Draufsicht auf das Halbleiterbauelement gemäß Figur 6,
- 35 Figur 8 eine Seitenansicht des Halbleiterbauelements gemäß der Figuren 6 und 7,

Figur 9 ein elektrisches Ersatzschaltbild des Halbleiterbauelements gemäß der Figuren 6 bis 8 bei Verwendung von Transistorchips.

5

In den Figuren bezeichnen, sofern nicht anders angegeben, gleiche Bezugszeichen gleiche Teile mit gleicher Bedeutung.

Die Figuren 1 bis 4 zeigen ein erstes Ausführungsbeispiel eines erfindungsgemäßen Halbleiterbauelementes, das in dem Beispiel fünf Halbleiterchips 1-5 umfasst, die gemeinsam in einem Gehäuse 90 integriert sind. Figur 4 zeigt dieses Gehäuse 90, das eine Unterseite 91 und eine Oberseite 92 aufweist, in perspektivischer Darstellung. Die Geometrie dieses dargestellten flachen Gehäuses 90 ist derart, dass die Fläche der Unterseite 91 bzw. der Oberseite 92 größer ist als jeweils die Flächen der Seitenwände 93A, 93B, bzw. dass eine Höhe h zwischen Unterseite 91 und Oberseite 92 kleiner ist als eine Breite b und eine Länge l des Gehäuses 90. Die Oberseite 92 und die Unterseite 91 bezeichnen im vorliegenden Fall die Seiten, die bei der Montage des Bauelements auf eine Platine parallel zu der Kontaktanschlüsse aufweisenden Montageebene der Platine liegen.

Figur 1 zeigt einen Querschnitt durch das Halbleiterbauelement in Draufsicht von oben, wobei in Figur 1 das Gehäuse 90 lediglich strichpunktiert dargestellt ist.

Das Bauelement umfasst in dem Beispiel fünf Halbleiterchips 1-5, die jeweils eine Vorderseite 12, 22, 32, 42, 52 und eine Rückseite 11, 21, 31, 41, 51 aufweisen. Die Halbleiterchips 1-5 sind in dem Ausführungsbeispiel jeweils als Transistorchips, in denen beispielsweise ein Leistungs-MOSFET integriert ist, ausgebildet und weisen jeweils an ihrer Rückseite 11, 21, 31, 41, 51 eine Drain-Kontaktfläche 43 auf, wie anhand des Halbleiterchips 4 in Figur 2 dargestellt ist, und an ihren Vorderseiten 12, 22, 32, 42, 52 jeweils eine Gate-

Kontaktfläche 33 und eine Source-Kontaktfläche 34 auf, wie anhand des Halbleiterchips 3 in Figur 3 dargestellt ist.

Die Halbleiterchips 1-5 sind so in dem Gehäuse untergebracht, dass deren Vorder- und Rückseiten wenigstens annäherungsweise senkrecht zu der Ober- und Unterseite 92, 91 des flachen Gehäuses 90 stehen. Jeweils zwei der Halbleiterchips 1-5 sind durch einen gemeinsamen Kontaktbügel 61-63, 71-73, 81-83 kontaktiert, wobei in dem Beispiel jeder dieser Kontaktbügel 61-63, 71-73, 81-83 aus dem Gehäuse 90 herausragt und an dem Abschnitt außerhalb des Gehäuses ein Anschlussbein D1-D6, G1-G3, S1-S3 bildet, über die das Bauelement beispielsweise mit Anschlusspunkten auf einer Platine verlötet oder in anderer Weise elektrisch leitend verbunden werden kann.

Die Halbleiterchips 1-5 sind in dem Gehäuse in dessen Längsrichtung hintereinander so angeordnet, dass sich abwechselnd die Vorderseiten und Rückseiten zweier benachbarter Chips einander zugewandt sind. So ist die Vorderseite 12 des Halbleiterchips 1 der Vorderseite 22 des Halbleiterchips 2, die Rückseite 21 des Halbleiterchips 2 der Rückseite 31 des Halbleiterchips 3, die Vorderseite 32 des Halbleiterchips 3 der Vorderseite 42 des Halbleiterchips 4, usw., zugewandt.

In dem Beispiel sind die Halbleiterchips 1 und 2 so angeordnet, dass deren Vorderseiten 12, 22 einander zugewandt sind, wobei Source-Anschlussflächen an diesen Vorderseiten 12, 22 durch den zwischen diesen Halbleiterbauelementen 1, 2 angeordneten Kontaktbügel 71 kontaktiert und elektrisch leitend miteinander verbunden sind. Entsprechend sind Gate-Anschlussflächen der Halbleiterchips 1, 2 mittels eines Kontaktbügels 81, der ebenfalls zwischen diesen Halbleiterchips 1, 2 angeordnet ist, kontaktiert und dadurch leitend miteinander verbunden. Das Anschlussbein S1 des Kontaktbügels 71 bildet einen gemeinsamen Source-Anschluss der beiden Halbleiterchips 1, 2, und das Anschlussbein G1 des Kontaktbügels 81 bildet einen gemeinsamen Gate-Anschluss der beiden Halbleiterchips 1, 2.

terchips 1, 2. In entsprechender Weise wie bei den Halbleiterchips 1, 2 kontaktiert ein Kontaktbügel 72 Source-Anschlussflächen an den Vorderseiten 32, 42 der Halbleiterchips 3, 4, deren Vorderseiten 32, 42 einander zugewandt sind, wobei ein Anschlussbein S2 einen gemeinsamen Source-Anschluss dieser Halbleiterchips 3, 4 bildet, und die Gate-Anschlussflächen (Bezugszeichen 33 in Figur 3) des Halbleiterchips 3 und des Halbleiterchips 4 sind mittels eines weiteren Kontaktbügels 82 kontaktiert, wobei ein Anschlussbein G2 dieses weiteren Kontaktbügels 82 einen gemeinsamen Gate-Anschluss G2 der Halbleiterchips 3, 4 bildet.

Ein weiterer Source-Kontaktbügel 73 kontaktiert lediglich die Source-Anschlussfläche an der Vorderseite 52 des Halbleiterchips 5, und ein weiterer Gate-Kontaktbügel 83 kontaktiert lediglich die Gate-Anschlussfläche an der Vorderseite 52 dieses Halbleiterchips 5.

Wie anhand des Kontaktbügels G3 in Figur 2 und der Kontaktbügel 72, 82 in Figur 3 zu entnehmen ist, weisen die Kontaktbügel jeweils einen plattenförmigen Abschnitt 631, 721, 821 auf, der beiderseits Anschlussflächen zur Kontaktierung der Kontaktflächen der Halbleiterchips aufweist.

In entsprechender Weise, wie die Source-Anschlussflächen zweier benachbarter Chips 1, 2 bzw. 3, 4 durch einen Source-Kontaktbügel 71, 72 und die Gate-Anschlussflächen zweier benachbarter Chips 1, 2 bzw. 3, 4 durch einen Gate-Kontaktbügel 81, 82 kontaktiert sind, so sind die Drain-Anschlussflächen zweier benachbarter Chips durch einen gemeinsamen Drain-Kontaktbügel kontaktiert. In dem Beispiel sind die Drain-Kontaktflächen an den Rückseiten 21, 31 der benachbarten Halbleiterchips 2, 3 durch einen gemeinsamen Drain-Kontaktbügel 62 kontaktiert, wobei dieser Kontaktbügel zwei Anschlussbeine D3, D4 aufweist, die an gegenüberliegenden Seiten aus dem Gehäuse 90 herausragen und die gemeinsame Drain-Anschlüsse der Halbleiterchips 2, 3 bilden. In entspre-

chender Weise sind Drain-Kontaktflächen an den Rückseiten 41, 51 der Halbleiterchips 4, 5 durch einen gemeinsamen Drain-Kontaktbügel 63 kontaktiert, der ebenfalls an gegenüberliegenden Enden aus dem Gehäuse 90 herausragende Anschlussbeine D5, D6 aufweisen. Die Rückseite 11 des an einem Ende des durch die Chips 1-5 und die Kontaktbügel 61-63, 71-73, 81-83 gebildeten Chip-Kontaktbügel-Stapels angeordneten Halbleiterchips 1 ist durch einen weiteren Drain-Kontaktbügel 61 kontaktiert, der nur diesen Halbleiterchip 1 kontaktiert und der ebenfalls zwei an gegenüberliegenden Enden aus dem Gehäuse heraustretende Anschlussbeine D1, D2 aufweist.

Wie insbesondere den Figuren 2 und 3 zu entnehmen ist, sind die Anschlussbeine D1-D6, S1-S3, G1-G2 nach unten gebogen, um das Halbleiterbauelement mit den Anschlussbeinen auf eine Platine aufsetzen zu können. Die Kontaktbügel 61-63, 71-73, 81-83 können bereits mit solchen abgewinkelten Anschlussbeinen hergestellt werden. Weiterhin besteht die Möglichkeit, die Kontaktbügel 61-63, 71-73, 81-83 so herzustellen, dass die Anschlussbeine D1-D6, S1-S3, G1-G3 zunächst waagrecht aus dem Gehäuse 90 herausragen, wobei die Anschlussbeine erst am Ende der Montage in die gewünschte Form gebogen werden.

Figur 5 zeigt das elektrische Ersatzschaltbild des anhand der Figuren 1 bis 4 erläuterten Halbleiterbauelements unter der Annahme, dass es sich bei den Halbleiterchips 1-5 um Leistungstransistorchips handelt, in denen jeweils ein MOSFET integriert ist. Wie bereits erläutert wurde, weisen die Transistoren der Halbleiterchips 4, 5 einen gemeinsamen, durch die Anschlussbeine D5, D6 gebildeten Drain-Anschluss und die Transistoren der Halbleiterchips 2, 3 einen gemeinsamen durch die Anschlussbiene D3, D4 gebildeten Drain-Anschluss auf. Die Transistoren der Halbleiterchips 1 und 2 sowie 3 und 4 weisen jeweils gemeinsame, durch die Anschlussbeine S1 bzw. S3 gebildeten Source-Anschlüsse und gemeinsame, durch die Anschlussbeine G1, G2 gebildete Gate-Anschlüsse G1, G2 auf. Durch externe Beschaltung auf einer Platine lassen sich in

einfacher Weise alle Drain-Anschlüsse der Halbleiterchips miteinander verbinden, alle Source-Anschlüsse der Halbleiterchips miteinander verbinden und alle Gate-Anschlüsse der Halbleiterchips miteinander verbinden, um dadurch fünf parallel geschaltete Leistungstransistorchips mit einer entsprechend hohen Spannungsfestigkeit zu erhalten. Zum besseren Verständnis sind die Anschlüsse des Ersatzschaltbildes mit den Bezugszeichen der diese Anschlüsse bildenden Anschlussbeine und die Transistoren mit den Bezugszeichen der entsprechenden Chips bezeichnet.

Die besonders gute Raumausnutzung bei dem anhand der Figuren 1 bis 4 erläuterten Halbleiterbauelement wird nachfolgend anhand eines Beispiels erläutert.

Es sei angenommen, dass es sich bei dem Gehäuse um ein Standardgehäuse des Typs P-DSO-12 mit einer Gehäusehöhe h von 2,6mm, einer Gehäusebreite von 7,5mm und einer Gehäuselänge von 6,4mm handelt. Bei herkömmlicher Montage, bei der die Vorder- bzw. Rückseite eines Halbleiterchips parallel zu der Ober- und Unterseite liegt, und bei denen Kontaktflächen der Halbleiterchips an Anschlussbeine gebondet sind, können Halbleiterchips mit einer Chipfläche von $13,3\text{mm}^2$ in dem Gehäuse integriert werden. In einem solchen Gehäuse sind bei einer erfindungsgemäßen Anordnung gemäß der Figuren 1 bis 3 jedoch auch fünf Chips mit jeweils einer Chipfläche von $1,6 \cdot 4,6\text{mm}^2$ integrierbar, was einer Gesamtchipfläche von 36mm^2 entspricht. Unter Berücksichtigung der Tatsache, dass bei Leistungstransistoren, deren Spannungsfestigkeit proportional zu deren Chipfläche ist, lässt sich in einem Standardgehäuse somit ein aus mehreren parallel geschalteten Leistungstransistoren gebildeter Leistungstransistor realisieren, der eine deutlich höhere Spannungsfestigkeit besitzen kann. Eine derartige Anordnung mit mehreren senkrecht in dem Gehäuse stehenden kleinen Halbleiterchips ist insbesondere für Bauelemente in SiC-Technologie interessant, da bei dieser Technolo-

gie bislang lediglich flächenmäßig kleine Chips bei einer vertretbaren Ausbeute erzeugt werden können.

Das Aufbringen der Kontaktbügel 61-63, 71-73 sowie 81-83 auf die Kontaktflächen der Halbleiterchips 1-5 erfolgt mittels herkömmlicher Verfahren, beispielsweise mittels löten, mittels eines elektrisch leitenden Klebers oder auch durch Zusammenpressen des gesamten Chip-Kontaktbügel-Stapels. Das Gehäuse 90 wird in herkömmlicher Weise dadurch erzeugt, dass die Gesamtanordnung mit dem Chip-Kontaktbügel und den dazwischenliegenden Kontaktbügeln mit einer Gehäusepressmasse umspritzt wird.

Die Figuren 6 bis 8 veranschaulichen ein weiteres Ausführungsbeispiel eines erfindungsgemäßen Halbleiterbauelementes, wobei Figur 6 das Bauelement in perspektivischer Darstellung, Figur 7 das Bauelement in Draufsicht und Figur 8 das Bauelement in Seitenansicht zeigt. Das Bauelement umfasst zwei Halbleiterchips 10, 20, die jeweils eine Vorderseite 102, 202 und eine Rückseite 101, 201 aufweisen. Die Halbleiterchips 10, 20 sind in dem Ausführungsbeispiel ebenfalls als Transistorchips ausgebildet und umfassen jeweils eine Drain-Anschlussfläche an deren Rückseite 101, 201 sowie eine Source-Anschlussfläche und eine Gate-Anschlussfläche an deren Vorderseite 102, 202.

Die Halbleiterchips 10, 20 sind so angeordnet, dass die Vorderseite 102 des ersten Halbleiterchips 10 der Rückseite 201 des zweiten Halbleiterchips 20 zugewandt ist, wobei eine Drain-Kontaktfläche an der Rückseite 201 des zweiten Halbleiterchips 20 und eine Source-Kontaktfläche an der Vorderseite 102 des ersten Halbleiterchips 10 durch einen gemeinsamen Kontaktbügel 65, der zwischen den Halbleiterchips 10, 20 angeordnet ist, kontaktiert sind. Dieser Kontaktbügel 65 ist plattenförmig ausgebildet, um einen möglichst großflächigen Kontakt zu der Source-Kontaktfläche des Halbleiterchips 20 und der Drain-Kontaktfläche des Halbleiterchips 10 herzustellen.

len, und ragt an einer Unterseite 95 aus dem Gehäuse heraus, wobei der Kontaktbügel 65 im Bereich der Unterseite des Gehäuses 95 abgewinkelt ist. Der aus dem Gehäuse herausragende Abschnitt D5 des Kontaktbügels 65 bildet ein Anschlussbein für einen gemeinsamen Anschluss des Source-Kontakts des Halbleiterchips 20 und des Drain-Kontakts des Halbleiterchips 10.

Die Drain-Kontaktfläche des ersten Halbleiterchips 10 an der Rückseite 101 ist mittels eines weiteren großflächigen Kontaktbügels 64 kontaktiert, der ebenfalls an der Unterseite aus dem Gehäuse 95 austritt und ein Anschlussbein D4 aufweist, das abschnittsweise parallel zu dem Anschlussbein D5 des zwischen den Chips 10, 20 liegenden Kontaktbügels 65 verläuft.

Eine Gate-Kontaktfläche an der Vorderseite 102 des ersten Halbleiterchips 100 ist mittels eines Gate-Kontaktbügels 74 kontaktiert. Um zu verhindern, dass dieser Gate-Kontaktbügel 74 auch den Halbleiterchip 20 kontaktiert, sind die beiden Halbleiterchips parallel gegeneinander verschoben in dem Gehäuse 95 angeordnet.

Eine Gate-Kontaktfläche an der Vorderseite 202 des Halbleiterchips 20 ist mittels eines Source-Kontaktbügels 84 kontaktiert, der ebenfalls an der Unterseite aus dem Gehäuse 95 herausragt. In entsprechender Weise ist eine Gate-Kontaktfläche an der Vorderseite 202 des zweiten Halbleiterchips 20 mittels eines Gate-Kontaktbügels 74 kontaktiert, der weitgehend parallel zu dem Source-Kontaktbügel 84 verläuft.

Figur 9 zeigt das elektrische Ersatzschaltbild des Halbleiterbauelements gemäß der Figuren 6 bis 8. Durch dieses Bauelement mit zwei Halbleiterchips 10, 20, in jeweils beispielsweise ein Leistungs-MOSFET integriert ist, ist in platzsparender, kompakter Weise eine Halbbrücke realisiert, wobei Gate-Anschlüsse der Transistoren 10, 20 separat über die Gate-Anschlussbeine G4, G5 kontaktierbar sind. Der Drain-

Anschluss des Transistors 20 ist an den Source-Anschluss des Transistors 10 angeschlossen, wobei diese beiden Anschlüsse über das gemeinsame Anschlussbein D5 kontaktierbar sind. Weiterhin extern kontaktierbar sind der Source-Anschluss des
5 Transistors 20 über das Anschlussbein S5 und der Drain-Anschluss des Transistors 10 über das Anschlussbein G4.

Neben Transistorchips sind selbstverständlich beliebige andere Halbleiterchips, vorzugsweise Leistungs-Chips, wie beispielsweise Leistungs-Diodenchips verwendbar. Es sind bezugnehmend auf das Ausführungsbeispiel gemäß der Figuren 1 bis 3
10 auf einfache Weise Leistungsdiode parallel zu schalten, wenn die Transistorchips durch Leistungs-Diodenchips ersetzt werden, bei denen statt einer Drain-Kontaktfläche eine Kathoden-
15 Kontaktfläche und statt einer Source-Kontaktfläche eine Anoden-Kontaktfläche vorhanden ist, und bei denen auf einen Gate-Anschluss verzichtet wird.

Bezugszeichenliste

	1-5	Halbleiterchips
	11, 21, 31, 41, 51	Rückseiten
5	12, 22, 32, 42, 52	Vorderseiten
	61, 62, 63	Kontaktbügel
	71, 72, 73	Kontaktbügel
	81, 82, 83	Kontaktbügel
	90	Gehäuse
10	91	Unterseite des Gehäuses
	92	Oberseite des Gehäuses
	93A, 93B	Seitenwände des Gehäuses
	43	Kontaktfläche
	33, 34	Kontaktflächen
15	721	plattenförmiger Abschnitt eines Kontakt- bügels
	631	plattenförmiger Abschnitt eines Kontakt- bügels
	D1-D6	Anschlussbeine
20	G1-G3	Anschlussbeine
	S1-S3	Anschlussbeine
	10, 20	Halbleiterchips
	101, 201	Rückseiten der Halbleiterchips
	102, 202	Vorderseiten der Halbleiterchips
5	65	Kontaktbügel
	74, 75	Kontaktbügel
	64	Kontaktbügel
	84	Kontaktbügel
	95	Gehäuse
30	D4, D5	Anschlussbeine
	G4, G5	Anschlussbeine
	S5	Anschlussbein

Patentansprüche

1. Halbleiterbauelement, das folgende Merkmale aufweist:

- 5 - ein Gehäuse (90; 95),
- wenigstens zwei in dem Gehäuse (90; 95) angeordnete Halbleiterchips (1-5; 10, 20), die jeweils eine Vorderseite (12, 22, 32, 42, 52; 102, 202) und eine Rückseite (11, 21, 31, 41, 51; 101, 201) und jeweils wenigstens eine Kontaktfläche (43, 54, 55) an der Vorder- und/oder Rückseite aufweisen,
- 10 - wenigstens einen Kontaktbügel (61-63, 71-73, 81-83; 64, 65, 74, 84) der aus dem Gehäuse (90; 95) herausragt innerhalb des Gehäuses (90; 95) und der einen plattenförmigen Abschnitt (631, 721, 821) mit einer ersten und einer zweiten Anschlussfläche, die sich gegenüberliegen, aufweist und der wenigstens zwei der Chips (1-5; 10, 20) kontaktiert, wobei dessen erste Anschlussfläche auf die Kontaktfläche (43) wenigstens eines
- 15 der Chips (1-5) und dessen zweite Anschlussfläche auf die Kontaktfläche wenigstens eines anderen der Chips (1-5) aufgebracht ist.
2. Halbleiterbauelement nach Anspruch 1, bei dem das Gehäuse (90; 95) eine Oberseite (90) und eine Unterseite (91) aufweist, deren Flächen größer als übrige Seitenflächen des Gehäuses (90; 95) sind, wobei die wenigstens zwei Chips (1-5; 10, 20) derart in dem Gehäuse (90; 95) untergebracht sind, dass deren Vorder- bzw. Rückseiten (12, 22, 32, 42, 52, 11, 21, 31, 41, 51) wenigstens annäherungsweise senkrecht zu der
- 20 Ober- und Unterseite (91, 92) stehen.
3. Halbleiterbauelement nach Anspruch 1 oder 2, bei dem der wenigstens eine Kontaktbügel (61-63, 71-73, 81-83) an einer sich an die Unterseite (91) anschließenden Seite (93) aus dem Gehäuse (90) heraus tritt und einen gebogenen Abschnitt auf-
- 35

weist, der unterhalb der Unterseite (91) den Anschlusskontakt (G1-G3, S1-S3, D1-D3) bildet.

4. Halbleiterbauelement nach Anspruch 1 oder 2, bei dem der
5 wenigstens eine Kontaktbügel (64, 65, 74, 75, 84) an der Unterseite aus dem Gehäuse (95) heraustritt.

5. Halbleiterbauelement nach einem der vorangehenden Ansprüche, bei dem Leistungstransistoren in den wenigstens zwei
10 Chips integriert sind, die jeweils drei Kontaktflächen: eine Gate-Kontaktfläche (33), eine Source-Kontaktfläche (34) und eine Drain-Kontaktfläche (43) aufweisen.

6. Halbleiterbauelement nach Anspruch 5, bei dem die Gate-
15 Kontaktflächen (33) und die Source-Kontaktflächen (34) jeweils an der Vorderseite und die Drain-Kontaktflächen (43) jeweils an der Rückseite der Chips (1-5) ausgebildet sind.

7. Halbleiterbauelement nach einem der vorangehenden Ansprüche, bei dem durch den wenigstens einen Kontaktbügel (61-63, 71-73, 81-83) Kontaktflächen entweder an den Rückseiten (11, 21, 31, 41, 51) oder an den Vorderseiten (12, 22, 32, 42, 52) der wenigstens zwei Chips (1-5) kontaktiert sind.

8. Halbleiterbauelement nach einem der Ansprüche 1 bis 6, bei dem durch den wenigstens einen Kontaktbügel (65) eine Kontaktfläche an der Vorderseite (102) des wenigstens einen (10) der Chips (10, 20) und an der Rückseite (201) des wenigstens einen anderen (20) der Chips (10, 20) kontaktiert sind.

Zusammenfassung

Halbleiterbauelement mit wenigstens zwei in einem Gehäuse integrierten und durch einen gemeinsamen Kontaktbügel kontaktierten Chips

Ein Halbleiterbauelement, gekennzeichnet durch ein Gehäuse (90; 95), wenigstens zwei in dem Gehäuse (90; 95) angeordnete Halbleiterchips (1-5; 10, 20), die jeweils eine Vorderseite (12, 22, 32, 42, 52,; 102, 202) und eine Rückseite (11, 21, 31, 41, 51; 101, 201) und jeweils wenigstens eine Kontaktfläche (43, 54, 55) an der Vorder- und/oder Rückseite aufweisen, wenigstens einen Kontaktbügel (61-63, 71-73, 81-83; 64, 65, 74, 84) der aus dem Gehäuse (90; 95) herausragt und der einen plattenförmigen Abschnitt (631, 721, 821) mit einer ersten und einer zweiten Anschlussfläche, die sich gegenüberliegen, aufweist und der wenigstens zwei der Chips (1-5; 10, 20) kontaktiert, wobei dessen erste Anschlussfläche auf die Kontaktfläche (43) wenigstens eines der Chips (1-5) und dessen zweite Anschlussfläche auf die Kontaktfläche wenigstens eines anderen der Chips (1-5) aufgebracht ist.

Figur 1

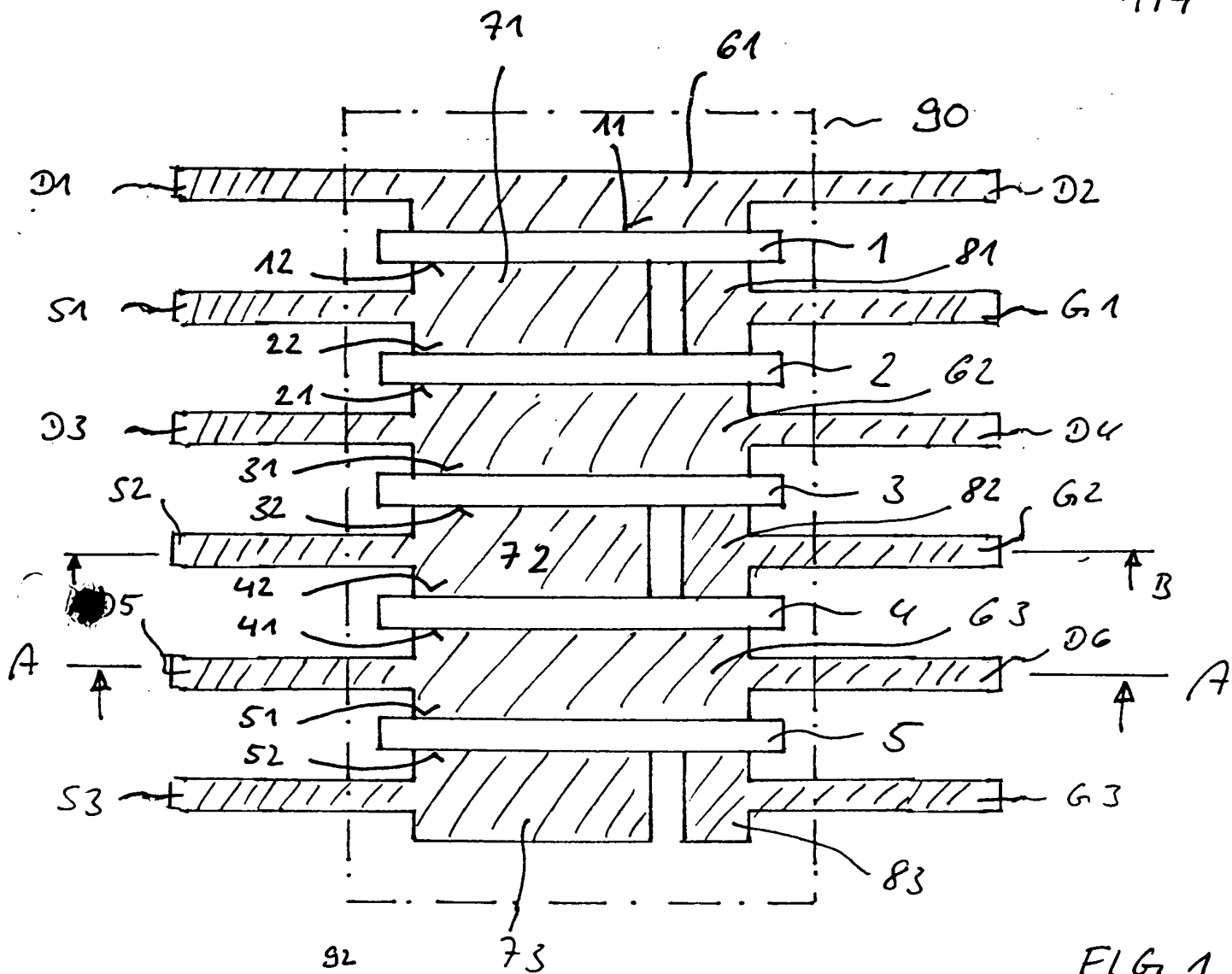


FIG 1

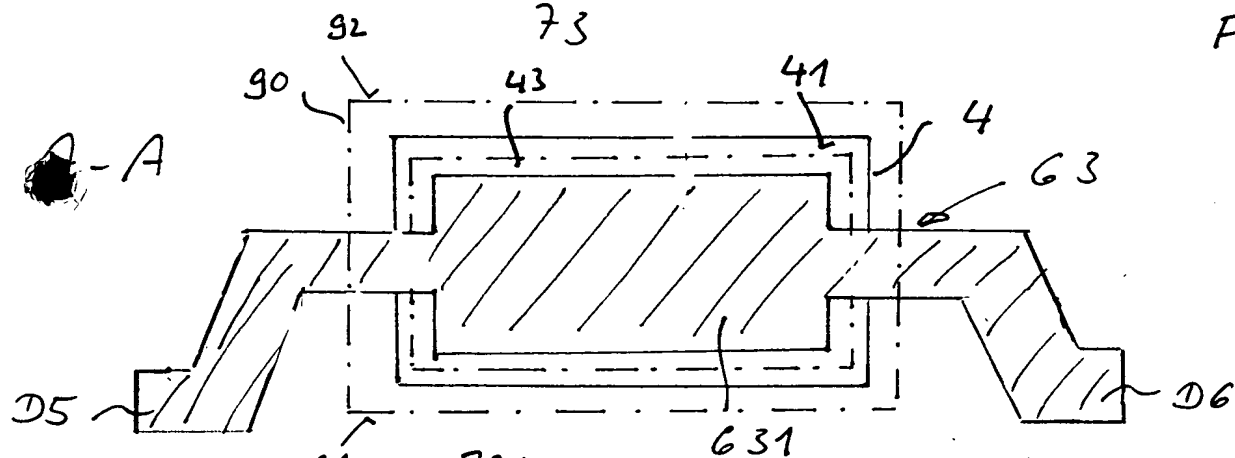


FIG 2

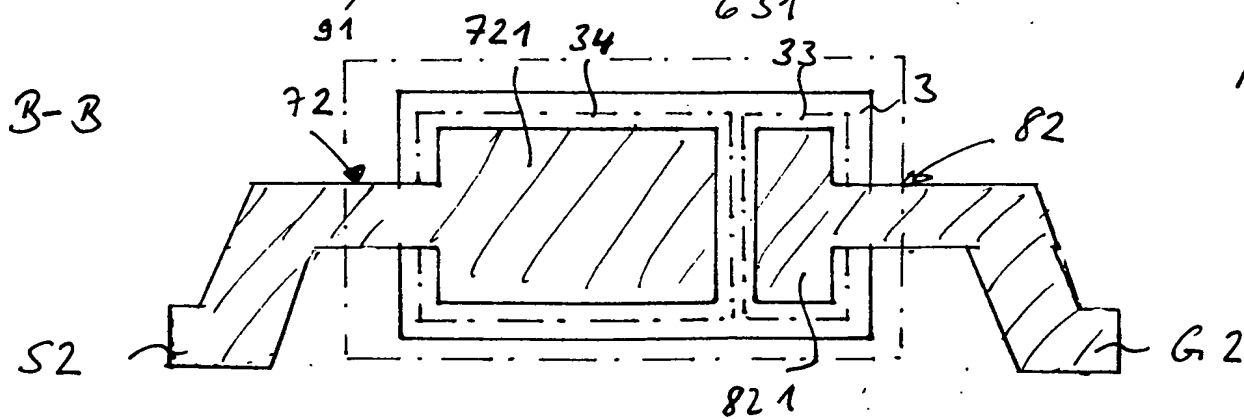


FIG 3

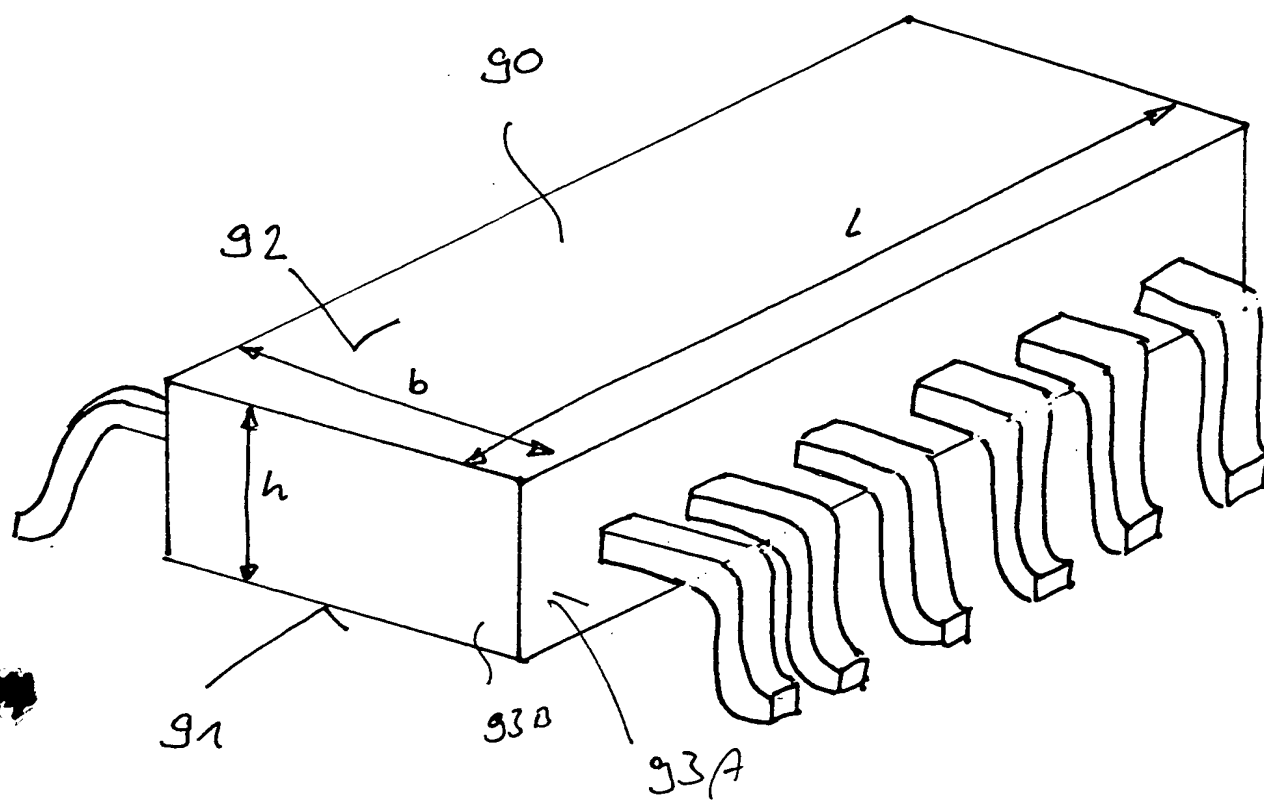


FIG 4

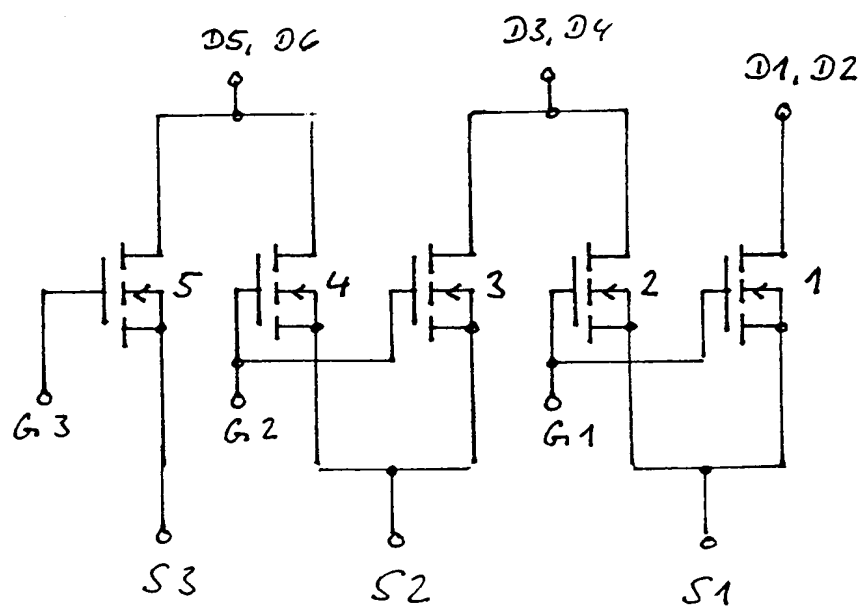


FIG 5

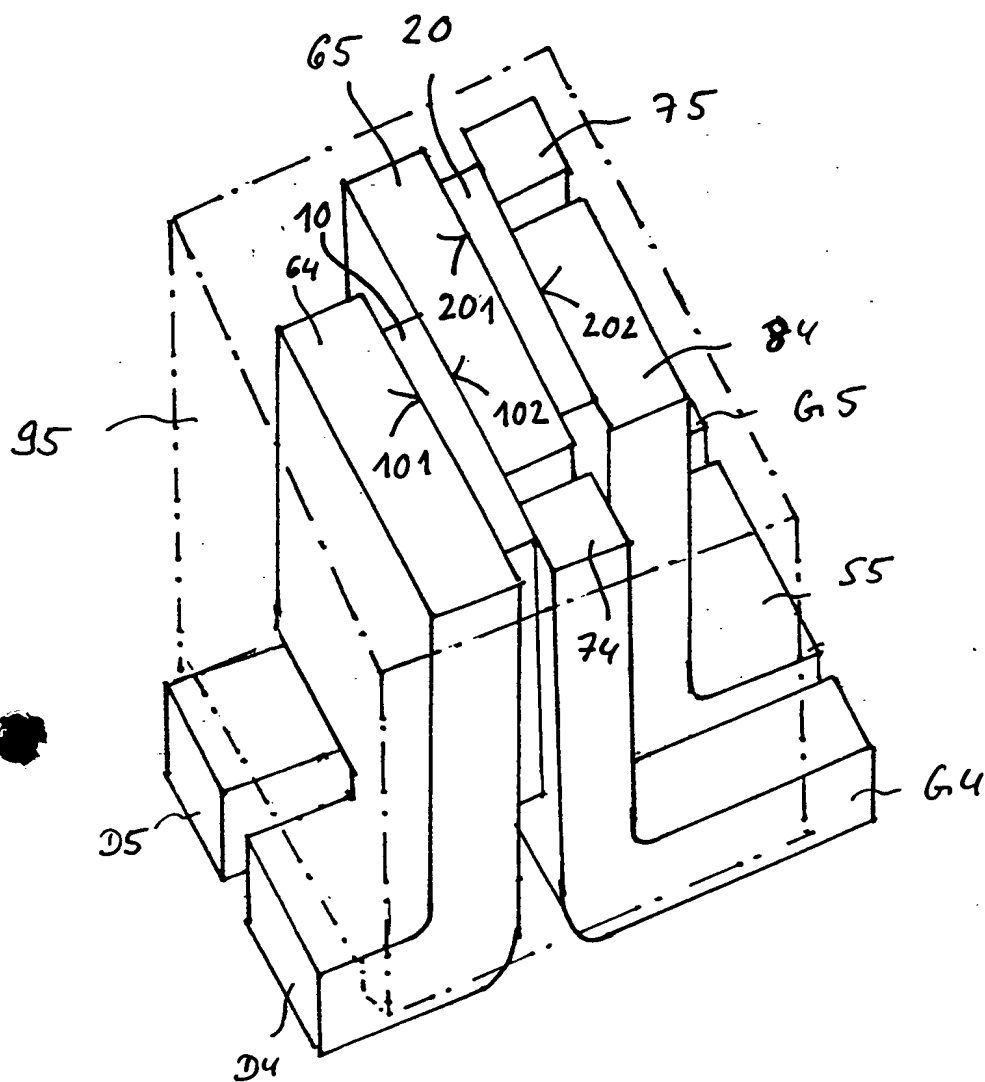


FIG 6

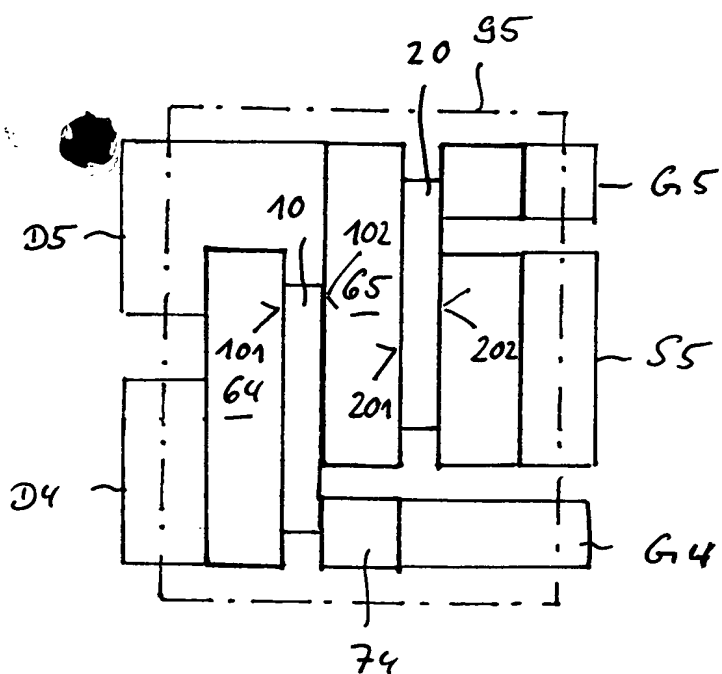


FIG 7

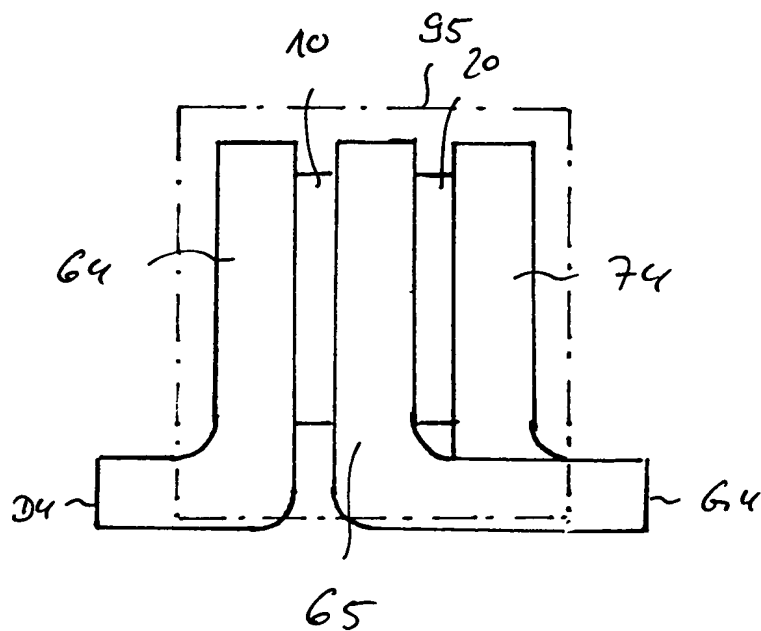


FIG 8

414

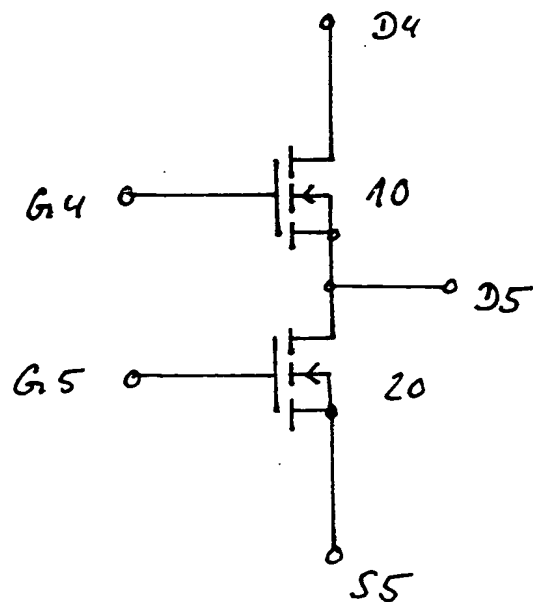


FIG 9